

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **05-090207**
 (43)Date of publication of application : **09.04.1993**

(51)Int.CI. **H01L 21/28**
H01L 21/285
H01L 21/3205
H01L 21/90

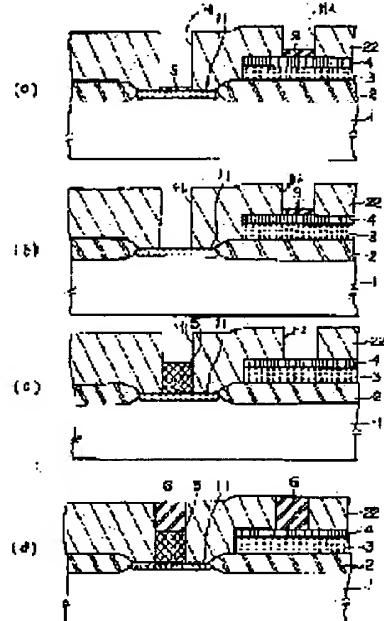
(21)Application number : **03-252359**(71)Applicant : **TOSHIBA CORP**(22)Date of filing : **30.09.1991**(72)Inventor : **AOYAMA TOMONORI
SUGURO KYOICHI
ITO HITOSHI**

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a semiconductor device having small contact resistance and high reliability even when it is microscopically formed by a method wherein a first conductive layer is selectively buried in a contact hole which is deeper in the amount corresponding to the difference of depth, and then a second conductive layer is buried in each contact hole in the same process.

CONSTITUTION: A plurality of contact holes H1 and H2, having different depths, are formed on a semiconductor substrate 1, and a first conductive layer (titanium silicide layer) 5 is selectively buried in the deeper contact hole H1 using the condition having selectivity against the base layer exposed to the contact holes H1 and H2. Subsequently, a second conductive layer (tungsten 6 is buried in the contact holes H1 and H2 in the same process. As a result, the above-mentioned layers can flatly be buried in the contact hole of different depths, and a semiconductor device, having small wiring resistance and high reliability, can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to a semiconductor device and its manufacture method, and relates to the embedding and the selective growth of a contact hole especially.

[0002]

[Description of the Prior Art] The area of the connection for making [which is progressing steadily] connection with a gate electrode, and a source drain diffusion layer and metal wiring with high integration of a semiconductor device in recent years, as for detailed-izing of a circuit is very small.

[0003] Consequently, since the aspect ratio of a contact hole becomes large, the step coverage of a wiring film becomes bad and the problem that resistance increases by the bird clapper thinly in the portion of a level difference arises.

[0004] As a method of solving this, a tungsten etc. is alternatively embedded by CVD in a contact hole, and the method of forming wiring films, such as aluminum, next is proposed. By taking such a method, in order that the step coverage of a wiring film may become good and resistance may decrease, it is very advantageous to improvement in a performance of a semiconductor.

[0005] However, when embedding a tungsten etc. alternatively in the contact hole from which the depth differs, in the case of a shallow contact hole, a tungsten etc. overflows and it becomes the structure where it is not completely buried with a deep contact hole on the other hand.

[0006] For example, drawing 4 (a) The contact hole H1 formed in the wrap layer insulation film 22 in silicon-substrate 1 front face so that it might be shown, and H2 When embedding, Deep contact hole H1 in contact with the diffusion layer 11 formed in substrate 1 front face If it doubles and embedding of the tungsten layer 6 is performed Shallow contact hole H2 in contact with wiring of the word line which consists of the polycrystal silicon film 3 and the molybdenum silicide film 4 on the isolation film 2 It becomes the configuration where the tungsten layer overflowed out of the contact hole then. For this reason, flattening processes, such as etchback, are needed.

[0007] Moreover, drawing 4 (b) Shallow contact hole H2 which contacts wiring of the word line which consists of the polycrystal silicon film 3 and the molybdenum silicide film 4 on the isolation film 2 so that it may be shown If it doubles and embedding of the tungsten layer 6 is performed deep contact hole H1 in contact with the diffusion layer 11 formed in substrate 1 front face ---- since it is not buried completely, the step coverage of the wiring layer formed in this upper layer becomes bad, and there is a problem that wiring resistance increases or electromigration becomes easy to happen

[0008]

[Problem(s) to be Solved by the Invention] Thus, when the contact hole from which the depth differs was embedded, even if doubled with any, un-arranging arose in one side, wiring resistance was increased and there were problems -- electromigration becomes easy to happen.

[0009] moreover, two or more conductors -- even if a patterning process will be needed and the number of processes will increase, in order to have to form a mask in a non-growing up field, if it is going to perform thin film growth only to a certain field alternatively when exposed of the field, and also it faces detailed-ization, it has been a very serious problem

[0010] this invention was made in view of the aforementioned actual condition, and even if it faces detailed-ization, it aims at contact resistance offering a reliable semiconductor device small enough easily.

[0011]

[Means for Solving the Problem] Then, two or more contact holes from which the depth differs are formed on a semiconductor substrate, and only the part equivalent to the difference of the depth embeds the 1st conductor layer alternatively at the contact hole of the deeper one, and it is made to embed the 2nd conductor layer at the same process after this in the 1st of this invention at each contact hole using the conditions which have selectivity to the ground layer exposed in a contact hole.

[0012] Moreover, an oxide is formed in a front face so that the contact hole of the one shallower than the contact hole of the deeper one on the ground layer front face exposed in the contact hole from which the depth differs may become thick, a front face is lightly *****ed so that it may be exposed of the ground layer under the contact hole of the deeper one, and it is made to make this ground layer expose alternatively in the 2nd of this invention.

[0013]

[Function] According to the 1st of this invention, the conditions which have selectivity to the ground layer exposed in a contact

hole are used. Since it is made to embed the remainder at the same process after only the part equivalent to the difference of the depth embeds the 1st conductor layer alternatively at the contact hole of the deeper one and makes the depth almost equal, Flat embedding can be performed also to the contact hole from which the depth differs, and wiring resistance can obtain a small reliable semiconductor device.

[0014] if immersed in the mixed liquor of hydrogen peroxide solution and a sulfuric acid -- silicon -- since combination is weak as compared with the silicon atom in a silicon substrate, the surplus silicon atom in rich molybdenum silicide or tungsten silicide oxidizes easily, it discovers that the oxide film on a metal silicide film can be formed more thickly than the oxide film on a silicon substrate, and is made paying attention to this

[0015] That is, after a silicon field and a metal ***** field are immersed in the mixed liquor of hydrogen peroxide solution and a sulfuric acid in the semiconductor substrate intermingled and exposed and form a thick oxide film in a metal ***** field alternatively, a front face is lightly *****ed so that it may be exposed of a silicon field, and a difference can be easily formed in a surface state, without passing through the patterning process using the mask. Therefore, a conductor layer can be easily formed with sufficient selectivity only on a silicon field by selection CVD.

[0016] In addition, if this method is applied to the 1st invention, it will become possible to perform embedding of the contact hole from which the depth differs easily.

[0017] Moreover, although it said that the depth of two or more contact holes is made almost equal by the embedding of the 1st conductor layer, if the difference of the depth is small, it is especially **0.2 micrometers satisfactory. It is desirable in it being the following.

[0018]

[Example] Hereafter, it explains in detail, referring to a drawing about the example of this invention.

[0019] Drawing 1 (a) Or (d) It is the cross section showing the manufacturing process of the semiconductor device of this invention example. First, after forming the field oxide film 2 in n type silicon substrate 1, wiring of the polycide structure which consists of a polycrystal silicon film 3 and a molybdenum silicide film 4 in the separated field is begun, and after forming an element field, such as forming p type diffusion layer 11, a silicon-oxide film is formed in this upper layer as a layer insulation film 22. And deep contact hole H1 which contacts this layer insulation film 22 by the photolithography at p type diffusion layer 11 Shallow contact hole H2 in contact with wiring It forms and this is immersed for 20 minutes into the processing liquid which mixed hydrogen peroxide solution and the sulfuric acid at a rate of 1:3. At this time, an oxide film s is formed in molybdenum silicide film 4 front face rather than p type diffusion layer 11 front face, respectively. Here, the oxide film s of molybdenum silicide film 4 front face is formed more thickly than the oxide film s of p type diffusion layer 11 front face. This is for the surplus silicon atom in molybdenum silicide oxidizing easily, since combination is weak as compared with the silicon atom in a silicon substrate. the contact hole H1 deep here -- 0.8 micrometers a path -- a depth of 1.5 micrometers Shallow contact hole H2 0.8 micrometers a path -- a depth of 0.8 micrometers it was (drawing 1 (a)).

[0020] Then, fluorine F2 By used reactive ion etching (RIE) (0.05Torr, 50W), etching is performed for 15 seconds under a room temperature, a temperature up is further carried out to 350 degrees C using a lamp heater, a carbon monoxide is introduced for 600 seconds by 0.05Torr(s), and the fluorine which stuck to the wafer is removed. This process removes completely the silicon-oxide film s in a deep contact hole, and p type diffusion layer 11 front face is made to expose. At this time, it is the shallow contact hole H2. It is covered by the silicon-oxide film s (drawing 1 (b)). Next, the temperature up of the wafer is carried out to 600-800 degrees C using a susceptor heater, and it is SiH4. 20sccm(s) and TiCl4 It introduces for 400 seconds on condition that 1sccm, and is 0.7 micrometers of thickness alternatively only to the contact hole on a diffusion layer 11. TiSi2 A film 5 is formed (drawing 1 (c)). At this time, it is TiCl4. It replaces with and is 100-500 micrometers to Ti board. HCl gas is passed one to 5 sccm, heating at a heater what made fibrous Ti mesh or Ti which prepared the hole of a path at 700-900 degrees C. TiCl, TiCl2, and TiCl3 etc. -- the method of introducing unsaturation molecule gas -- effective -- more -- high selectivity -- having -- low TiSi2 of the level of chlorine It becomes possible to form a film.

[0021] Furthermore, chlorination boron BC13 By used reactive ion etching (RIE) (0.05Torr, 50W) Perform etching for 100 seconds under a room temperature, and etching removal of the silicon-oxide film s of molybdenum silicide film 4 front face is carried out. A temperature up is carried out to 250 degrees C using a susceptor heater after this, and it is WF6. 10sccm(s) and SiH4 It introduces on condition that 7sccm(s). by selection CVD TiSi2 on a diffusion layer 11 On a film 5 and molybdenum silicide 4, it is 0.8 micrometers. The grade W film 6 is deposited, lamp annealing is performed after this, and the adhesion of the W film 6 is raised (drawing 1 (d)). And aluminum wiring is formed (not shown).

[0022] Thus, the formed semiconductor device is drawing 1 (d). Since the contact hole is completely embedded so that it may be shown, the step coverage of wiring is very good, and it serves as a reliable object, without wiring resistance increasing.

[0023] Moreover, TiSi2 In order to measure the relation between membranous thickness and contact resistance, for other conditions, the depth of each contact hole etc. is TiSi2 completely like the aforementioned example. Change of the contact resistance when changing only membranous thickness is shown in drawing 2 . A horizontal axis is TiSi2 here. Membranous thickness and a vertical axis shall show contact resistance. In a white round head, in the contact to p type diffusion layer, a black dot shows the case of the contact to n type diffusion layer.

[0024] Consequently, TiSi<SUB>2 Membranous thickness is 0.5 micrometers. A level difference with the following, i.e., W film 6 front face, and layer insulation film 22 front face - 0.2 micrometers When it is the following, it is drawing 3 (a). The rise of contact resistance is remarkable so that it may be shown. This is considered to be because for the step coverage of the aluminum wiring 7 within a contact hole to be bad.

[0025] Moreover, TiSi2 Membranous thickness is 0.9 micrometers. The level difference of the above, i.e., W film front face and a substrate front face, is 0.2 micrometers. When it is above, it is drawing 3 (b). It thinks that it is because the step coverage of the aluminum wiring 7 is bad around the W film 6 with which it overflowed from the contact hole so that it may be shown, and is *****.

[0026] This result to a level difference is **0.2 micrometers. When it is the following, it turns out that the low semiconductor device of contact resistance can be obtained. Therefore, TiSi2 which was embedded at the deep contact hole in the case of the contact hole which has three or more kinds of different depth The membranous upper surface and TiSi2 The difference of the depth at the shallow base of a contact hole where a film is not embedded is 0.2 micrometers. When it is the following, increase of wiring resistance can be suppressed.

[0027] Thus, since the shape of a flush type of W becomes flat by using the method of this invention and the flattening process by etchback etc. becomes unnecessary, simplification of a process can be achieved.

[0028] In addition, this invention is not limited to the example mentioned above.

[0029] In the aforementioned example, although titanium silicide was used as metal ******, you may use other silicide, for example, nickel silicide, cobalt silicide, etc. Nickel silicide is a nickel carbonyl 0.05sccm(s) and SiH4 It is 0.7 micrometers by introducing for 1800 seconds 400 degrees C on condition that 10sccm(s). It can form. Moreover, a cobalt carbonyl is made to sublimate and cobalt is 0.01sccm(s) and SiH4. It is 0.7 micrometers by introducing for 1800 seconds 400 degrees C on condition that 10sccm(s). It can form.

[0030] Moreover, in the aforementioned example, although the selective growth between a silicon front face and a metal ***** front face was used, without being limited to this, from the difference of the oxidation rate between a polycrystal silicon film and a single-crystal-silicon film, it is made for the rate of sedimentation of an oxide film to change, and it enables it to use the selective-growth nature between these, and the selectivity on a metal membrane and the front face of silicon etc. can deform suitably.

[0031] Furthermore, in the aforementioned example, as it has selectivity on the occasion of formation of the 1st conductor layer, as long as it is the method of changing the surface state of the front face exposed in a contact hole, you may use other methods.

[0032] For example, in the above-mentioned example, you may use the following method as a method of forming the oxide film s from which thickness differs. That is, you may use the method of performing short-time heat treatment for 15 minutes at 200 or the temperature of 300 degrees C in the oxygen atmosphere of 0.5 or less Torr of pressures, and forming an oxide film in a silicide front face more thickly than a silicon front face.

[0033] In addition, [0034] which can transform variously and can be carried out in the range which does not deviate from the summary of this invention.

[Effect of the Invention] Since only the part equivalent to the difference of the depth embeds the 1st conductor layer alternatively at the contact hole of the deeper one and it is made to embed the remainder at the same process using the conditions which have selectivity to the ground layer exposed in a contact hole according to this invention as explained above, flat embedding can be performed also to the contact hole from which the depth differs, and wiring resistance can obtain a small reliable semiconductor device.

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-90207

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/28	3 0 1 T	7738-4M		
21/285	3 0 1 R	7738-4M		
21/3205				
21/90	C 7353-4M	7353-4M	H 01 L 21/ 88	K
				審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号 特願平3-252359

(71)出願人 000003078

(22)出願日 平成3年(1991)9月30日

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 青山 知憲

神奈川県川崎市幸区小向東芝町 1 株式

会社東芝総合研究所内

(72)発明者 須黒 基一

神奈川県川崎市幸区小向東芝町 1 株式

会社東芝総合研究所内

(72)発明者 伊藤 仁

神奈川県川崎市幸区小向東芝町 1 株式

会社東芝総合研究所内

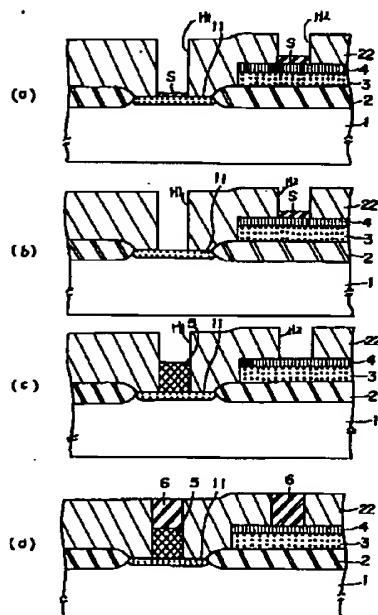
(74)代理人 弁理士 木村 高久

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 本発明は、微細化に際してもコンタクト抵抗が十分に小さく信頼性の高い半導体装置を提供することを目的とする。

【構成】 本発明では、半導体基板上に深さの異なる複数のコンタクトホールを形成し、コンタクトホール内に露呈する下地層に対して選択性のある条件を用いて、深さの差に相当する分だけ深いほうのコンタクトホールを選択的に第1の導体層を埋め込み、この後同一工程で第2の導体層を各コンタクトホールに埋め込むようにしている。



【特許請求の範囲】

【請求項1】 半導体基板上に深さの異なる第1および第2のコンタクトホールを形成するコンタクトホール形成工程と、前記第1および第2のコンタクトホール内に露呈する下地層に対して選択性のある条件を用いて、深さの差に相当する分だけ深いほうのコンタクトホールを選択的に第1の導体層を埋め込む第1の埋め込み工程と、前記第1および第2のコンタクトホールに第2の導体層を埋め込む第2の埋め込み工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に深さの異なる第1および第2のコンタクトホールを形成するコンタクトホール形成工程と、

前記第1および第2のコンタクトホール内に露呈する下地層表面に深い方のコンタクトホールよりも浅い方のコンタクトホールが厚くなるように酸化物を形成する酸化工程と、

深い方のコンタクトホール下の下地層が露呈するように表面を軽くエッチングし、該下地層を選択的に露呈せしめるエッチング工程と前記コンタクトホールの深さの差に相当する分だけ前記下地層上に選択的に第1の導体層を埋め込む第1の埋め込み工程と、

前記第1および第2のコンタクトホールに第2の導体層を埋め込む第2の埋め込み工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置およびその製造方法に係り、特に、コンタクトホールの埋め込みおよび選択成長に関する。

【0002】

【従来の技術】近年、半導体装置の高集積化に伴い、回路の微細化は進む一方であり、例えばゲート電極や、ソース・ドレイン拡散層と金属配線との接続を行うための接続部の面積は非常に小さくなっている。

【0003】この結果、コンタクトホールのアスペクト比が大きくなるため、配線膜のステップカバレッジが悪くなり、段差の部分で薄くなることにより抵抗が増大するという問題が生じてくる。

【0004】これを解決する方法として、コンタクトホール内にタングステンなどをCVD法で選択的に埋め込み、この後にアルミニウムなどの配線膜を形成するという方法が提案されている。このような方法をとることによって、配線膜のステップカバレッジが良くなり、抵抗が減少するため半導体の性能向上には非常に有利である。

【0005】しかしながら、深さが異なるコンタクトホール内にタングステンなどを選択的に埋め込む場合、深いコンタクトホールの場合はタングステンなどがあふ

れ、一方深いコンタクトホールでは完全に埋まらないという構造になる。

【0006】例えば、図4(a)に示すようにシリコン基板1表面を覆う層間絶縁膜2に形成されたコンタクトホールH1, H2を埋め込む場合、基板1表面に形成された拡散層1にコンタクトする深いコンタクトホールH1に合わせてタングステン層6の埋め込みを行うと、素子分離膜2上の多結晶シリコン膜3とモリブデンシリサイド膜4とからなるワード線等の配線にコンタクトする深いコンタクトホールH2ではタングステン層がコンタクトホール外へあふれた形状となる。このため、エッチバックなどの平坦化工程が必要となる。

【0007】また、図4(b)に示すように、素子分離膜2上の多結晶シリコン膜3とモリブデンシリサイド膜4とからなるワード線等の配線にコンタクトする深いコンタクトホールH2に合わせてタングステン層6の埋め込みを行うと、基板1表面に形成された拡散層1にコンタクトする深いコンタクトホールH1では、完全に埋まらないためこの上層に形成される配線層のステップカバレッジが悪くなり、配線抵抗が増大したり、エレクトロマイグレーションが起こり易くなるという問題がある。

【0008】

【発明が解決しようとする課題】このように深さの異なるコンタクトホールを埋め込む場合、いずれに合わせても一方の側に不都合が生じ、配線抵抗を増大したり、エレクトロマイグレーションが起こり易くなる等の問題があった。

【0009】また、複数の導体領域が露呈している場合に、ある領域にのみ選択的に薄膜成長を行おうとするとき、非成長領域にマスクを形成しなければならないため、バーニング工程が必要となり、工程数が増える他、微細化に際しても極めて深刻な問題となっている。

【0010】本発明は、前記実情に鑑みてなされたもので、微細化に際してもコンタクト抵抗が十分に小さく信頼性の高い半導体装置を容易に提供することを目的とする。

【0011】

【課題を解決するための手段】そこで本発明の第1では、半導体基板上に深さの異なる複数のコンタクトホールを形成し、コンタクトホール内に露呈する下地層に対して選択性のある条件を用いて、深さの差に相当する分だけ深いほうのコンタクトホールに選択的に第1の導体層を埋め込み、この後同一工程で第2の導体層を各コンタクトホールに埋め込むようにしている。

【0012】また本発明の第2では、深さの異なるコンタクトホール内に露呈する下地層表面に深いほうのコンタクトホールよりも浅い方のコンタクトホールが厚くなるように表面に酸化物を形成し、深い方のコンタクトホール下の下地層が露呈するように表面を軽くエッチングし、該下地層を選択的に露呈せしめるようにしている。

【0013】

【作用】本発明の第1によれば、コンタクトホール内に露呈する下地層に対して選択性のある条件を用いて、深さの差に相当する分だけ深いほうのコンタクトホールに選択的に第1の導体層を埋め込み、深さをほぼ等しくした後、残りを同一工程で埋め込むようにしているため、深さの異なるコンタクトホールに対しても平坦な埋め込みを行うことができ、配線抵抗が小さく信頼性の高い半導体装置を得ることができる。

【0014】例えば、過酸化水素水と硫酸の混合液に浸漬すると、シリコニックなモリブデンシリサイドやタンゲステンシリサイド中の余剰シリコン原子はシリコン基板中のシリコン原子と比較して結合が弱いため容易に酸化され、金属シリサイド膜上の酸化膜を、シリコン基板上の酸化膜よりも厚く形成することができるということを発見し、これに着目してなされたものである。

【0015】すなわち、シリコン領域および金属硅化物領域が混在して露呈する半導体基板を、過酸化水素水と硫酸の混合液に浸漬して、金属硅化物領域に選択的に厚い酸化膜を形成したのち、シリコン領域のみが露呈するように表面を軽くエッチングし、マスクを用いたバーニング工程を経ることなく容易に表面状態に差異を形成することができる。したがって、選択CVD法によりシリコン領域上にのみ選択性よく容易に導体層を形成することができる。

【0016】なおこの方法を第1の発明に適用すれば、容易に深さの異なるコンタクトホールの埋め込みを行うことが可能となる。

【0017】また、第1の導体層の埋め込みにより複数のコンタクトホールの深さをほぼ等しくすると述べたが、深さの差は小さければ問題なく、特に±0.2μm以下であると好ましい。

【0018】

【実施例】以下、本発明の実施例について図面を参照しつつ詳細に説明する。

【0019】図1(a)乃至(d)は本発明実施例の半導体装置の製造工程を示す断面図である。まず、n型シリコン基板1にフィールド酸化膜2を形成したのち、分離された領域内に、多結晶シリコン膜3とモリブデンシリサイド膜4とからなるポリサイド構造の配線をはじめ、p型拡散層11を形成するなど素子領域を形成した後、この上層に層間絶縁膜22として酸化シリコン膜を形成する。そしてフォトリソグラフィによりこの層間絶縁膜22に、p型拡散層11にコンタクトする深いコンタクトホールH1と、配線にコンタクトする浅いコンタクトホールH2とを形成し、これを過酸化水素水と硫酸とを1:3の割合で混合した処理液中に20分浸漬する。このときp型拡散層11表面よりもモリブデンシリサイド膜4表面にそれぞれ酸化膜sが形成される。ここで、モリブデンシリサイド膜4表面の酸化膜sはp型拡散層1

表面の酸化膜sよりも厚く形成される。これはモリブデンシリサイド中の余剰シリコン原子はシリコン基板中のシリコン原子と比較して結合が弱いため容易に酸化されるためである。ここで深いコンタクトホールH1は0.8μm径で深さ1.5μm、浅いコンタクトホールH2は0.8μm径で深さ0.8μmであった(図1(a))。

【0020】この後、フッ素F₂を用いた反応性イオンエッチング(RIE)(0.05Torr, 50W)により、室温下で15秒間エッチングを行い、さらにランプヒータを用いて350°Cに昇温し、一酸化炭素を0.05Torrで600秒導入して、ウェハに吸着したフッ素を除去する。この工程により深いコンタクトホール内の酸化シリコン膜sのみを完全に除去し、p型拡散層11表面を露呈させる。このとき浅いコンタクトホールH2は酸化シリコン膜sで覆われている(図1(b))。次に、サセアヒータを用いてウェハを600~800°Cに昇温し、SiH₄を20scm, TiCl₄を1scmの条件下で400秒間導入し、拡散層11上のコンタクトホールにのみ選択的に膜厚0.7μmのTiSi₂膜5を形成する(図1(c))。このとき、TiCl₄に代えて、Ti板に100~500μm径の穴を設けたTiメッシュあるいはTiを織維状にしたもので700~900°Cにヒータで加熱しながらHC1ガスを1~5scm流し、TiCl₁, TiCl₂, TiCl₃などの不飽和分子ガスを導入する方法も有効であり、より高選択性を持ち塩素濃度の低いTiSi₂膜を形成することが可能となる。

【0021】さらに、塩化硼素BCl₃を用いた反応性イオンエッチング(RIE)(0.05Torr, 50W)により、室温下で100秒間エッチングを行い、モリブデンシリサイド膜4表面の酸化シリコン膜sをエッチング除去し、この後サセアヒータを用いて250°Cに昇温し、WF₆を10scm, SiH₄を7scmの条件下導入し、選択CVD法により、拡散層11上のTiSi₂膜5上およびモリブデンシリサイド4上に、0.8μm程度W膜6を堆積し、この後ランプアニールを行いW膜6の密着性を向上させる(図1(d))。そしてアルミニウム配線を形成する(図示せず)。

【0022】このようにして形成された半導体装置は、図1(d)に示すようにコンタクトホールが完全に埋め込まれているため、配線のステップカバレッジは極めて良好であり、配線抵抗が増大したりすることもなく信頼性の高い物となる。

【0023】また、TiSi₂膜の膜厚とコンタクト抵抗との関係を測定するため、各コンタクトホールの深さ等、他の条件は前記実施例と全く同様にして、TiSi₂膜の膜厚のみを変化させたときのコンタクト抵抗の変化を図2に示す。ここで横軸はTiSi₂膜の膜厚、縦軸はコンタクト抵抗を示すものとする。白丸はp型拡散層に対するコンタクトの場合、黒丸はn型拡散層に対する

るコンタクトの場合を示すものである。

【0024】この結果、TiSi₂膜の膜厚が0.5μm以下すなわち、W膜表面と層間絶縁膜22表面との段差が-0.2μm以下のときは、図3(a)に示すように、コンタクト抵抗の上昇が著しい。これは、コンタクトホール内でのアルミニウム配線7のステップカバレッジが悪くなっているためであると考えられる。

【0025】また、TiSi₂膜の膜厚が0.9μm以上すなわち、W膜表面と基板表面との段差が0.2μm以上のときは、図3(b)に示すように、コンタクトホールからあふれたW膜6の周辺でアルミニウム配線7のステップカバレッジが悪くなっているためであると考えられる。

【0026】この結果から、段差が±0.2μm以下であるときはコンタクト抵抗の低い半導体装置を得ることができることがわかる。従って3種類以上の異なる深さを有するコンタクトホールの場合、深いコンタクトホールに埋め込まれたTiSi₂膜の上面と、TiSi₂膜の埋め込まれていない浅いコンタクトホール底面との深さの差が0.2μm以下であるときは配線抵抗の増大を抑制することができる。

【0027】このように本発明の方法を用いることによって、Wの埋め込み形状が平坦となり、エッチバック等による平坦化工程が不要となるため、工程の簡略化をはかることができる。

【0028】なお、本発明は前述した実施例に限定されるものではない。

【0029】前記実施例では、金属珪化物としてチタンシリサイドを用いたが、他のシリサイド、例えばニッケルシリサイド、コバルトシリサイド等を用いても良い。ニッケルシリサイドはニッケルカルボニルを0.05scm, SiH₄を10scmの条件で400°C、1800秒間導入することにより、0.7μm形成することができる。またコバルトはコバルトカルボニルを昇華させて0.01scm, SiH₄を10scmの条件で400°C、1800秒間導入することにより、0.7μm形成することができる。

【0030】また、前記実施例では、シリコン表面と金属珪化物表面との間での選択成長を用いたが、これに限定されることなく例えば多結晶シリコン膜と単結晶シリコン膜との間での酸化速度の差から、酸化膜の堆積速度

が変化するようにし、これらの間での選択成長性を利用するようにしたり、また金属膜とシリコン表面との選択性等、適宜変形可能である。

【0031】さらに、前記実施例では、第1の導体層の形成に際し選択性を有するようにコンタクトホール内に露呈する表面の表面状態を変化させる方法であれば他の方法を用いても良い。

【0032】例えば、上記実施例において、厚さの異なる酸化膜を形成する方法として次の方法を用いても良い。すなわち、圧力0.5Torr以下の酸素雰囲気中で200乃至300°Cの温度で例えば15分の短時間熱処理を施してシリサイド表面にシリコン表面よりも厚く酸化膜を形成する方法を用いても良い。

【0033】その他、本発明の要旨を逸脱しない範囲で種々変形して実施することができる

【0034】

【発明の効果】以上説明してきたように、本発明によれば、コンタクトホール内に露呈する下地層に対して選択性のある条件を用いて、深さの差に相当する分だけ、深い方のコンタクトホールに選択的に第1の導体層を埋め込み、残りを同一工程で埋め込むようにしているため、深さの異なるコンタクトホールに対しても平坦な埋め込みを行うことができ、配線抵抗が小さく信頼性の高い半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明実施例の半導体装置の製造工程図。

【図2】チタンシリサイドの膜厚とコンタクト抵抗との関係を示す図。

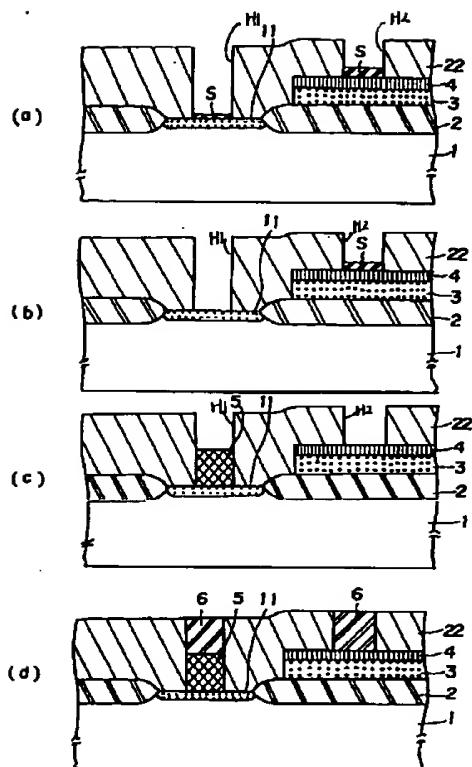
【図3】チタンシリサイドの膜厚が小さすぎた場合と、大きすぎた場合の状態を示す図。

【図4】従来例のコンタクト構造を示す図。

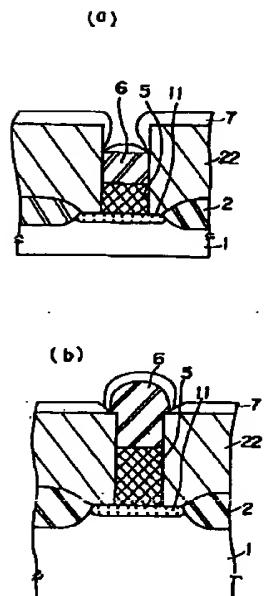
【符号の説明】

- 1 シリコン基板
- 2 フィールド絶縁膜
- 3 多結晶シリコン層
- 4 モリブデンシリサイド層
- 5 チタンシリサイド層
- 6 タングステン層
- 7 アルミニウム層
- 40 22 層間絶縁膜

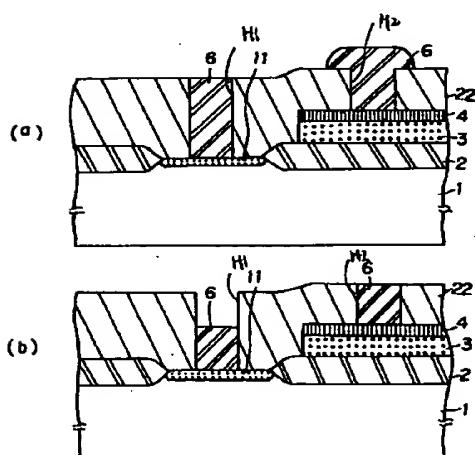
【図1】



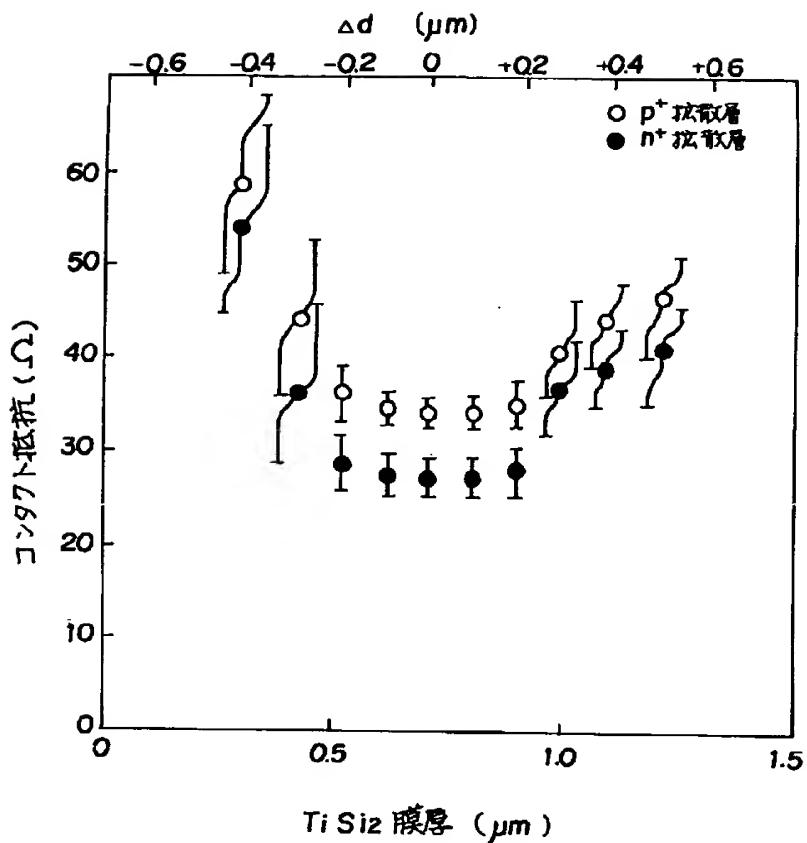
【図3】



【図4】



【図2】



Δd は(浅いコンタクトホールの深さ) - [(深いコンタクトホールの深さ) - ($TiSi_2$ 膜厚)]